

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08124300 A

(43) Date of publication of application: 17 . 05 . 96

(51) Int. Cl

G11B 20/10

(21) Application number: 06276346

(71) Applicant: SANYO ELECTRIC CO LTD

(22) Date of filing: 10 . 11 . 94

(72) Inventor: NISHIKAWA MASAHICO

(30) Priority: 13 . 05 . 94 JP 06 99937
31 . 08 . 94 JP 06207752

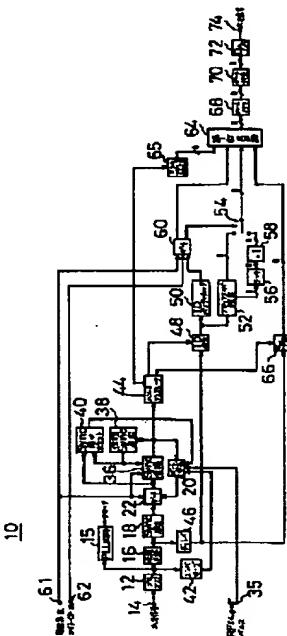
(54) MAGNETIC RECORDING AND REPRODUCING DEVICE

(57) Abstract:

PURPOSE: To excellently detect a synchronizing signal.

CONSTITUTION: A reproduced signal is amplified by a preamplifier 12 and demodulated by a demodulation circuit 16 and after that, a synchronizing signal is detected by a synchronizing signal detection circuit 18. A gate circuit 22 is operated by a gate signal generated by a gate signal generation circuit 20 for the synchronizing signal. A signal from the preamplifier 12 is inputted to an envelope detection circuit 42. When the result of the envelope detection is not more than a reference level, a gate is opened during the whole period of time and when the result is not less than the reference level, the gate is opened for a predetermined period of time. Thus, the gate operating period of time of the gate circuit 22 is switched over according to the result of the envelope detection.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-124300

(43)公開日 平成8年(1996)5月17日

(51)Int.Cl.⁶
G 1 1 B 20/10

識別記号 庁内整理番号
3 2 1 Z 7736-5D

F I

技術表示箇所

審査請求 未請求 請求項の数9 OL (全25頁)

(21)出願番号 特願平6-276346

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(22)出願日 平成6年(1994)11月10日

(72)発明者 西川 昌彦

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(31)優先権主張番号 特願平6-99937

(74)代理人 弁理士 山田 義人

(32)優先日 平6(1994)5月13日

(33)優先権主張国 日本 (JP)

(31)優先権主張番号 特願平6-207752

(32)優先日 平6(1994)8月31日

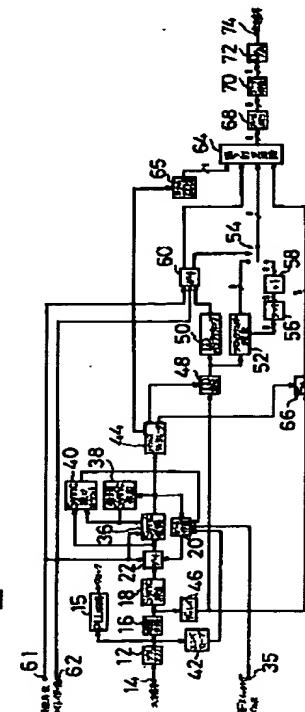
(33)優先権主張国 日本 (JP)

(54)【発明の名称】 磁気記録再生装置

(57)【要約】

【構成】 再生信号をプリアンプ12で増幅し、復調回路16で復調した後、同期信号検出回路18によって同期信号を検出する。この同期信号には、ゲート信号作成回路20で作成したゲート信号によってゲート回路22でゲートがかけられる。プリアンプ12からの信号をエンベロープ検波回路42に入力する。エンベロープ検波結果が基準レベル以下の場合にはゲートを全ての期間開け、基準レベルより大きい場合には所定期間ゲートを開く。このようにエンベロープ検波結果に応じてゲート回路22のゲート期間を切り換える。

【効果】 良好に同期信号を検出できる。



【特許請求の範囲】

【請求項1】 それぞれディジタル信号で構成される同期信号およびそれに続くデータ信号を含むブロックが磁気テープに複数配列されてなるトラックが複数形成された前記磁気テープを再生する磁気記録再生装置であって、再生信号から前記同期信号を検出する同期信号検出回路、

前記同期信号検出回路で検出された同期信号が供給されるゲート回路、および前記再生信号に含まれる信号に基づいて前記ゲート回路のゲート期間を調整する調整手段を備える、磁気記録再生装置。

【請求項2】 前記複数のトラックの隣合うものどうしのアシマスが互いに相異なるように前記トラックが形成される磁気記録再生装置であって、

前記調整手段は、

前記再生信号のレベルを検出するレベル検出回路、および前記ゲート回路の開閉を行うためのゲート信号を作成し、かつそのゲート信号のゲート幅を前記レベル検出回路の出力結果に基づいて制御するゲート信号作成回路を備える、請求項1記載の磁気記録再生装置。

【請求項3】 前記レベル検出回路の出力結果は、予め定められたレベルよりも大きい第1の出力結果と、予め定められたレベル以下の第2の出力結果とを呈し、

前記ゲート信号作成回路は前記第1の出力結果の場合、前記同期信号の出現位置に対応する所定期間のみゲートを開け、前記第2出力結果の場合、全ての期間ゲートを開けるように前記ゲート回路を制御する、請求項2記載の磁気記録再生装置。

【請求項4】 前記データ信号は、ID信号、IDのパリティ信号、データおよびそのデータのパリティ信号を含む、請求項3記載の磁気記録再生装置。

【請求項5】 前記ゲート回路は、前記同期信号を通過させるゲート期間がそれぞれ異なる第1のゲート回路および第2のゲート回路を含み、

前記調整手段は、前記再生信号に含まれる信号に基づいて、前記第1および第2ゲート回路のいずれかを選択する選択手段を含む、請求項1記載の磁気記録再生装置。

【請求項6】 前記データ信号は、ID信号、IDのパリティ信号、データおよびそのデータのパリティ信号を含む、請求項5記載の磁気記録再生装置。

【請求項7】 前記選択手段は前記ID信号に基づいてパリティチェックおよびブロックナンバーの検出を行い、その結果に応じて前記第1および第2のゲート回路のいずれか一方を選択する、請求項6記載の磁気記録再生装置。

【請求項8】 それぞれディジタル信号で構成される同期信号、ブロック番号の情報を有するID信号およびIDのパリティ信号を含むブロックが磁気テープに複数配列されてなるトラックが複数形成された磁気テープを再生する磁気記録再生装置であって、

ID信号を検出するID検出回路、
検出された前記ID信号が正しいか否かを判断するパリティチェック回路、
検出された前記ID信号からシンクブロックナンバーを検出するブロックナンバー検出回路、
以前に検出されたシンクブロックナンバーのうちID信号が正しいものと現在のシンクブロックナンバーとを比較する比較器、および前記比較器での比較結果に応じてデータを書き込むか否かが制御される誤り訂正用記憶手段を備える、磁気記録再生装置。

【請求項9】 前記比較器は、現在のシンクブロックナンバーが以前に検出されたシンクブロックナンバーのうちID信号が正しいものより大きいときに前記誤り訂正用記憶手段にデータの書き込みを行い、そうでない場合にデータの書き込みを中止する、請求項8記載の磁気記録再生装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 この発明は磁気記録再生装置に関し、特にたとえばディジタル映像信号などのデジタルデータを記録再生するディジタルVTRなどに用いられる、デジタル信号磁気記録再生装置に関する。

【0002】

【従来の技術】 デジタル映像信号などのデジタルデータを記録再生する民生用ディジタルVTRについては、たとえば、日経BP社発行、日経エレクトロニクス・ブック「データ圧縮とデータ変調」のp. 137～p. 150に紹介されている。図18は斯かるVTRにおける記録フォーマットを示すべく、磁気ヘッドが接触する面から磁気テープをみた図解図であり、磁気ヘッドは記録トラックの下から上へ向かって走査するようになっている。

【0003】 1つのトラックには4種類のデータが記録されるが、これらのデータは、磁気ヘッドが走査する順に①インサート用データおよびトラック情報、②音声データ、③映像データ、④サブコード・データである。このようなトラックが図19のように10本（図19はNTSC方式の場合であって、PALおよびSECAMの場合は12本となる）集まって1フレームの画像が形成される。映像データは各トラック1本につき135個のシンクブロックといわれるブロック（図19）でトラック0を代表して番号0, 1, …, 134を付けて、そのブロックの配列の様子を示す）が記録されるが、このブロック1つの詳細なデータフォーマットを図20に示す。

【0004】 すなわち、各ブロックは、映像のデータ(DATA)に、そのデータパリティ(DATA PARITY), 同期信号(SYNC), ブロック番号などの情報を有するID信号(ID), およびこのID信号のパリティ信号(IDP)が附加されて、図20のよう

に配列されて形成される。この同期信号には、予め定められた0, 1の組み合わせからなる16ビットの固定パターンの信号が記録されており、再生時にこの固定パターンの信号が検出されると同期信号（検出同期信号：図21参照）が発生され、これが信号処理の基準信号として使用される。しかし、この固定パターンの信号は有限のビット数（2バイト）であるため、データのビット列の中にも同じパターン信号が現れる可能性があり、これが誤り同期信号として検出されてしまう。また、記録媒体上の傷などに起因して同期信号が欠落してしまうこともある。

【0005】このように同期信号の誤検出や欠落を防止するために従来から図21に示すような方法、すなわち、任意の幅をもったゲート信号を作成し、ゲート以外の期間にはマスクをかけるとともに、ゲート内に同期信号がない場合は、カウンタによって作成された保護同期信号で同期の保護をかける方法が用いられている。この動作を、図22に示す従来の磁気記録再生装置1を参照して説明する。

【0006】入力端子1aから入力された再生信号はプリアンプ1bによって増幅され、復調器1cによって復調された後、同期信号検出回路1dによって予め定められた同期信号パターンが検出される。なお、プリアンプ1bからの出力をPLL回路1b'に与えることによって、クロックが発生される。検出された同期信号には、ゲート信号作成回路1eで作成されたゲート信号によってゲート回路1fでゲートがかけられる。ゲート信号作成回路1eはヘッドのRFスイッチングパルスの前縁でまずゲートが開かれ、ゲート回路1fは当初ゲートがかかっていない状態になっている。この状態で同期信号が検出されるとゲート信号作成回路1eによって、同期信号と同期信号との間隔が一定であることを利用して、カウンタ（図示せず）によってゲート信号が作成され、次から検出される同期信号にはゲートがかけられることになる。同期信号にゲートがかけられゲート期間内に同期信号が存在しないときには、保護同期信号作成回路1hで作成された保護同期信号によって、同期保護回路1gで保護がかけられる。

【0007】また、ゲート期間内に同期信号がない状態が続き、同期抜けカウント回路1iで同期抜けカウント値（同期信号が何個抜けたかを示す値）が或る定められた値になると、ゲートは一旦開かれ、同期信号が検出されると再びゲートは閉じられる。同期抜けカウント回路1iは同期信号の誤りが伝播するのを防ぐための回路である。このようにして保護がかけられた同期信号が基準となり、これに基づいて同期信号を発生するパルスジェネレータ1jの出力で以降の信号処理が行われる。

【0008】一方、復調回路1cから出力された信号は、上述の同期信号処理回路に必要な時間分の遅延が遅延回路1kでかけられた後、パルスジェネレータ1jか

ら出力される基準信号に基づいて、ID検出回路1lでID信号が検出される。検出されたID信号はパリティチェック回路1mで誤りがあるか否かがチェックされる。一方、検出されたID信号はブロックナンバー検出回路1nでシンクブロックナンバーが検出され、スイッチ1oの一方の端子に入力されるとともに、ラッチ回路1pおよびシンクブロックナンバーに「1」を加算する+1加算器1qを通ってスイッチ1oの他方の端子に入力される。スイッチ1oはゲート回路1rから出力されるスイッチ制御信号によって制御され、通常再生時にはIDのパリティチェックがOK（合格）のときは上側に倒れ、NG（不合格）のときは下側に倒れる。

【0009】すなわち、IDのパリティチェックがOKのときは検出されたシンクブロックナンバーが誤り訂正回路1sの誤り訂正用メモリ（図示せず）のロードアドレスとして入力され、IDのパリティチェックがNGのときには、1シンクブロック前のシンクナンバーに「1」を加えた値がその誤り訂正用メモリのロードアドレスとして入力される。また、カラムアドレスカウンタ1tからは誤り訂正用メモリのカラムアドレスが入力される。さらに、入力端子1uから入力されたライトイネーブル信号は、ゲート回路1rを通った後、誤り訂正用メモリの書き制御信号として用いられる。

【0010】また、遅延回路1kで遅延がかけられた信号は、パルスジェネレータ1jから出力される信号に基づいて、シリアル/パラレル変換回路1vでシリアル/パラレル変換され、先程検出された誤り訂正用メモリのアドレス上にこのデータが書き込まれる。このようにして、ブロック単位で誤り訂正用メモリ上に書き込まれたデータは誤り訂正回路1sで誤り訂正がかけられ誤りが訂正された後、フレームメモリ1wに入力される。このフレームメモリ1wでは、誤り訂正回路1sから入力されるデータが正しいかどうかを示すフラグが参照され、データが正しいときのみデータが書き込まれる。すなわち、データが間違っている場合はフレームメモリ1w上には1フレーム前のデータが残っていることになり、したがってデータが間違っている場合には、1フレーム前のデータで信号を補間することができる。このようにして補間されたデータは、記録時に圧縮されているのでデータ伸長回路1xで元のデータに戻され、D/A変換回路1yでアナログ信号に変換され出力端子1zから出力される。

【0011】

【発明が解決しようとする課題】ところで、図19に示すトラックは、奇数トラックと偶数トラックとではそれぞれアジャス角の異なる磁気ヘッドで記録されている。すなわち、奇数トラックはAアジャスの磁気ヘッドで記録され、偶数トラックはBアジャスの磁気ヘッドで記録される。

【0012】したがって、特殊再生時は、磁気ヘッドが

各トラックを跨いでトレースするため、磁気ヘッドが逆アジマスの記録のトラックをトレースしている間は出力レベルが小さく、同期信号が一定間隔で出力されない場合が多い。このため、従来は、特殊再生時にはゲートを予め開いておき、保護もかけないというような手法が用いられている。しかし、この方法では磁気ヘッドが同一アジマスのトラックをトレースしているときにもゲートが開いているため、誤った同期信号を正しい同期信号とみなしてしまう可能性が大きくなる。

【0013】また、上述の従来技術では、誤り同期信号の検出を防止するために、ゲート信号によってマスクをかけるわけであるが、記録媒体上に傷があつたり走行系が不安定な場合にクロック発生用のPLL回路1b'が誤動作し、本来出力される位置からずれて同期信号が出力される場合がある。このときの同期信号は誤り同期信号ではないが、上述のゲート信号の幅が小さすぎるとそれを検出できない場合があり、また逆に大きすぎると誤り同期信号を検出してしまう確率が大きくなる。したがって、ゲートの幅をどれくらいに設定するかによって同期信号検出の性能が左右される。

【0014】ゲート幅は走行系の性能にもよるが、ほぼ安定した走行系であれば正規の同期信号の位置に対して±2ビット内にほとんどの同期信号が入ることが実験で確認されている。したがって、ゲート幅としては5ビットの幅に設定するのが一般的である。しかし、記録媒体上の傷などが原因でごく稀ではあるが±2ビット内に入らない場合がある。たとえば、正規の位置に対して同期信号が3ビット以上ずれているとすると、従来はこの同期信号は無視され保護同期信号に置き換えられる。以降の処理はこの誤った保護同期信号を基準にして行われるので、このブロックのデータは誤ったデータになってしまう。しかも、次の同期信号に対するゲート位置はこの誤った保護同期信号を基準に作成されるので、同期抜けが設定された回数だけ続いて次にゲートが開かれるまでこの誤りは伝播されてしまうという問題点があった。

【0015】さらに、特殊再生時には、誤り訂正回路1s内の誤り訂正用メモリへの書き込みに関しては、ゲート回路1rを特殊再生信号で制御することによってスイッチ1oを常に上側に倒すとともに、IDのパリティチェックの結果がNGの場合はライトイネーブル信号をマスクし、メモリへの書き込みを中止し、前トラックのデータを用いていた。

【0016】すなわち、特殊再生時には、IDのパリティチェックの結果に基づいて信号の確からしさを判断し、IDのパリティチェックの結果がNGの場合は検出されたシンクブロックナンバーおよびデータに誤りがあると判断し、誤り訂正回路1s内の誤り訂正用メモリへの書き込みを中止し、パリティチェックの結果がOKの場合のみ正しいデータであると判断して誤り訂正用メモリへの書き込みを行っていた。

【0017】確かに、IDのパリティチェックがOKのときはかなりの確率でデータが正しいことが実験で確かめられている。しかし、パリティチェックの結果がNGであるからといって、シンクブロックナンバーおよびデータに誤りがあるとは一概にはいえず、パリティチェックの結果がNGであってもシンクブロックナンバーおよびデータが正しい場合もあり得る。たとえば、ID信号のうちのシンクブロックナンバー以外の部分が記録媒体の傷などによって誤った場合などがこれに相当する。また、ID信号のうちのシンクブロックナンバーに相当する部分が誤ったとしても、誤り訂正回路1sによって1ビットや2ビットの誤りは訂正でき、この場合もIDのパリティチェックの結果がNGであるからといって、シンクブロックナンバーおよびデータが誤っているとはいえない。それにも拘わらず、従来では、このようなデータは誤り訂正用メモリに格納しないので、誤り訂正用メモリに格納される正しいデータの量が多くならないという問題点があった。

【0018】それゆえに、この発明の主たる目的は、同期信号の検出精度を高くできる磁気記録再生装置を提供することである。また、この発明の他の目的は、正しいデータをより多く記憶することができる、磁気記録再生装置を提供することである。

【0019】

【課題を解決するための手段】第1の発明は、それぞれデジタル信号で構成される同期信号およびそれに続くデータ信号を含むブロックが磁気テープに複数配列されてなるトラックが複数形成された磁気テープを再生する磁気記録再生装置であって、再生信号から同期信号を検出する同期信号検出回路、同期信号検出回路で検出された同期信号が供給されるゲート回路、および再生信号に含まれる信号に基づいてゲート回路のゲート期間を調整する調整手段を備える、磁気記録再生装置である。

【0020】第2の発明は、それぞれデジタル信号で構成される同期信号、ブロック番号の情報を有するID信号およびIDのパリティ信号を含むブロックが磁気テープに複数配列されてなるトラックが複数形成された磁気テープを再生する磁気記録再生装置であって、ID信号を検出するID検出回路、検出されたID信号が正しいか否かを判断するパリティチェック回路、検出されたID信号からシンクブロックナンバーを検出するブロックナンバー検出回路、以前に検出されたシンクブロックナンバーのうちID信号が正しいものと現在のシンクブロックナンバーとを比較する比較器、および比較器での比較結果に応じてデータを書き込むか否かが制御される誤り訂正用記憶手段を備える、磁気記録再生装置である。

【0021】

【作用】第1の発明では調整手段によって、再生信号に含まれる信号に基づいてゲート回路のゲート期間が調整

される。たとえば、調整手段に含まれるレベル検出回路で再生信号のレベルが検出される。このレベル検出回路としては、たとえばエンベロープ検波回路が用いられる。この検出結果に基づいて、ゲート回路のゲート幅が制御される。たとえば、予め定められたレベルよりも大きければ、第1の出力結果を呈し、同期信号の出現位置に対応する所定期間のみゲートが開けられる。一方、予め定められたレベル以下であれば、第2の出力結果を呈し、全ての期間ゲートが開けられる。

【0022】また、ゲート回路としてゲート期間が異なる第1ゲート回路および第2ゲート回路を準備し、ID信号からパリティチェックおよびロックナンバーが検出され、その結果に応じて第1ゲート回路および第2ゲート回路のいずれか一方が選択されるようにしてよい。パリティチェックおよびロックナンバーのチェックが両方ともOKのときは、ゲート期間の長い第2ゲート回路が選択され、そうでないときにはゲート期間の短い第1ゲート回路が選択される。このように、ゲート期間内の異なるゲート回路が選択されるので、多少同期信号が揺らいでも正しい同期信号を検出できる。

【0023】第2の発明では、ID検出回路で検出されたID信号がパリティチェック回路で正しいかどうかが判断される。正しいID信号だけが比較器へ入力される。比較器で、現在のシンクブロックナンバーと以前に検出されかつID信号が正しいシンクブロックナンバーとが比較される。現在のシンクブロックナンバーの方が大きいときにのみデータが誤り訂正用記憶手段に書き込まれ、そうでない場合には書き込まれない。

【0024】

【発明の効果】この発明によれば、たとえば2倍速再生時などの特殊再生時において、磁気ヘッドが逆アジマスのトラックをトレースしているときはゲートが開いており、また、同一アジマスのトラックをトレースしているときは、ゲートが所望の同期信号を通過できる期間以外は閉じているので、従来とは異なり、誤り同期信号を正しい同期信号とみなすこともなく、良好に同期信号を検出できる。なお、特殊再生時においても、通常の再生時と同様に同期信号の保護をかけることができるので、なお一層良好に同期信号を検出できる。

【0025】また、正規の同期信号位置に対してほとんどの同期信号が±2ビットに入るわけであるが、±2ビット以内に入っている同期信号を基準にして検出されたID信号が正しいと判断された場合は、その同期信号はかなりの確率で信頼できる。また、±2ビット以内に入らない同期信号であってもそのほとんどがその周辺に分布していること、および±2ビット以内に入っていない同期信号であっても、その同期信号を基準にして検出されたID信号が正しいと判断され、また、IDのパリティチェックとは別の他のチェック（ロックナンバーによるチェック）がOKとなった場合は、その同期信号は

かなりの確率で信頼できる。このような点に鑑み、±2ビットのゲート内に入っているなくても、そのゲート周辺に存在しており、しかもその同期信号によって検出されたIDのパリティチェックの結果そのID信号が正しいと判断され、なおかつ他の方法によるチェック（ロックナンバーによるチェック）がOKとなった場合は、その同期信号は正しい同期信号とみなされるので、従来では正しい同期信号であるにも拘わらず無視されていた同期信号を、正しい同期信号として検出することができ、より信頼性の高い同期信号を検出できる。

【0026】第2の発明によれば、IDのパリティチェックの結果はNGであるけれども、シンクブロックナンバーおよびデータに誤りがない情報を正しく記憶することができ、より多くの正しいデータが得られるので、良好な特殊再生画像を得ることができる。この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の実施例の詳細な説明から一層明らかとなろう。

【0027】

【実施例】以下、この発明の実施例を説明するが、データの記録フォーマットなどは図18～図21と同様であるので、その重複する説明は省略する。図1を参照して、この実施例の磁気記録再生装置10はプリアンプ12を含む。プリアンプ12には、入力端子14から再生信号が入力され、プリアンプ12で増幅され、復調回路16で復調された後、同期信号検出回路18によって予め定められた同期信号パターンが検出される。なお、プリアンプ12からの出力はPLL回路15に与えられ、クロックが発生される。同期信号検出回路18は誤り同期信号の検出を防止する。その具体的な動作は、プリアンプ12から得られるシリアルな0, 1の信号列を同期信号検出回路18内のシフトレジスタ（図示せず）に与え、このシフトレジスタの内容と予め用意された同期信号検出パターンとが比較される。それらが一致すれば、同期信号とみなして同期信号（検出同期信号）が発生される。この検出された同期信号にはゲート信号作成回路20で作成されたゲート信号によってゲート回路22でゲートがかけられる。

【0028】ゲート信号作成回路20は、たとえば図2に示すように構成される。ここでは、図2に示す1シンクブロックを750ビットとして説明する。図2に示すゲート信号作成回路20は、ゲートを開く位置を設定するためのカウンタ23を含む。カウンタ23では保護同期信号作成回路38（後述）から図3（B）に示す保護同期信号が入力されると図3（A）に示すクロックのカウントが開始され（図3（D））、また、カウンタ23にはたとえばセレクタを含むゲート幅設定回路24が接続され、ゲート幅設定回路24によってカウンタ23での初期値が設定される。このゲート幅設定回路24はエンベロープ検波出力に応じてゲート幅を設定すること

ができる。この実施例ではハイレベルのエンベロープ検波出力が与えられたときのゲート幅を5ビットにする。すなわち、ゲート幅を±2ビットにするために「2」が設定され、カウンタ23に与えられる。カウンタ23のカウント値が「748」になると、デコーダ26からは図3(D)に示すようにローレベルな信号が出力される。この信号はカウンタ28に与えられるとともに、インバータ30を介してJK-FF32に与えられる。JK-FF32はこの信号に基づいて1クロック後に、図3(G)に示すようなローレベルのゲート信号を出し、ゲートを開ける。

【0029】一方、カウンタ28は、デコーダ26からの信号が入力されるとクロックのカウントを開始し(図3(E))、カウント値を比較器34にPとして与える。比較器34にはゲート幅設定回路24から「2」が与えられ、これを2倍した「4」が基準カウント値Qとして格納される。そして、比較器34でP=Qになると図3(F)に示すようなローレベルのパルスがJK-FF32に与えられる。JK-FF32は、その信号の1クロック後すなわちその信号の立ち上がりに基づいてハイレベルのゲート信号を出力し、ゲートが閉じられる。

【0030】なお、JK-FF32のPRE端子には常にゲートを開けておくためのローレベルのゲートオープンパルスが与えられる。ゲートオープンパルスが与えられている間JK-FF32からはローレベルのゲート信号が出力され、ゲートは常に開かれる。このゲートオープンパルスとしてはローレベルのエンベロープ検波出力のほか、RFスイッチングパルスや同期抜けカウント回路40(後述)からのゲートオープン信号が用いられる。

【0031】このようなゲート信号作成回路20は、当初ゲートがかかっていない状態になっているゲート回路22に対し、入力端子35から与えられ図4(A)に示す磁気ヘッドのRFスイッチングパルスの前縁でまずゲートを開くようするゲート信号を供給し、最初に表れる検出同期信号(図4(B))を通過させる。この状態で検出同期信号が得られると、ゲート信号作成回路24によって同期信号と同期信号との間隔が一定であることを利用して、カウンタ23のカウント値をカウントする(図4(C))などしてゲート信号が作成され、次から検出される同期信号に図2(D)に示すゲート信号Aのようなゲートがかけられることになる。ゲート信号Aがゲート回路22に与えられているときにはゲート回路22からは図4(E)に示すような同期信号Aが出力される。

【0032】また、ローレベルのエンベロープ検波信号がゲート信号作成回路20に与えられたときにはゲート回路22に図4(F)に示すようなゲート信号Bが与えられ、このときゲート回路22からは図4(G)に示すような同期信号Bが出力される。図1に戻って、同期信

号検出回路18で検出された同期信号はゲート回路22に与えられる。そして、ゲート信号作成回路20で作成されたゲート信号によってゲート回路22が開かれるこにより、ゲート期間内に検出された同期信号はゲート回路22を通過する。一方、ゲート期間外にたまたま同期信号パターンと同じビット列があることによって発生した誤り同期信号はマスクされるとともに、ゲート期間内に同期信号がない場合は保護同期信号作成回路38で作成された保護同期信号によって同期信号保護回路36で保護がかけられる。換言すれば、ゲート回路22を同期信号が通過すれば、同期信号保護回路36はその通過した同期信号を選択して出力し、ゲート回路22を同期信号が通過しなければ、同期信号保護回路36は保護同期信号作成回路38から得られる保護同期信号を選択して出力する。なお、保護同期信号は同期信号保護回路36の出力信号をリセット信号とする保護同期信号作成回路38内のカウンタ(図示せず)によって作成される。

【0033】また、ゲート内に同期信号がない状態が続いたとき、同期抜けカウント回路40で同期抜けカウント値(同期信号が何度抜けたかを示す値)が或る定められた値になるとゲートオープン信号がゲート作成回路20に与えられる。すると、ゲート信号作成回路20によってゲートは一旦全て開かれ、同期信号が検出されると再びゲートは閉じられる。これは同期信号の誤りが伝播するのを防止するためである。

【0034】また、プリアンプ12で増幅された信号はエンベロープ検波回路42で、任意に設定した基準レベルとエンベロープの出力レベルとが比較され、その比較結果によってゲート信号作成回路20が制御される。エンベロープ検波結果が任意に設定された基準レベル以下の場合、すなわち、2倍速、3倍速などの特殊再生時に磁気ヘッドが逆アジマスのトラックをトレースしているときは、出力レベルは小さくなるが、図4(F)に示すゲート信号Bによってゲートを開放するようゲート回路22が制御される。これによって同期信号検出回路18で検出された同期信号が全て正常な同期信号とみなすように作用する。このようにゲートを開放することによって、倍速再生時における同期信号の位置ずれが原因となって同期信号が検出されなくなるような事態が回避される。すなわち、誤り同期信号も取り込んでしまうが、必要な正しい同期信号は必ず検出することができる。

【0035】逆に、特殊再生時にヘッドが正アジマスをトレースしている場合、または、通常再生時には、エンベロープ検波結果が、基準レベルよりも大きくなり、ゲート信号A(図4(D))がゲート回路22に供給される。このとき、ゲート期間内に同期信号が入っていない場合は、保護同期信号作成回路38で作成された保護同期信号を正常な同期信号とみなし、以降の信号処理の基準信号として使用するという上述の動作が行われる。

【0036】このようにして保護がかけられた同期信号

が基準となり、これに基づいて基準信号を発生するパルスジェネレータ44の出力で以降の信号処理が行われる。パルスジェネレータ44からは、ID信号検出用のパルス、信号をシリアル／パラレル変換するために必要なパルス、およびカラムアドレスを作成するためのパルスが出力される。

【0037】一方、復調回路16から出力される信号は、上述の同期信号処理回路(18～40)に必要な時間分の遅延が遅延回路46によってかけられた後、ID検出回路48でパルスジェネレータ44から出力される基準信号に基づいてID信号が検出される。このID検出回路48で検出されたID信号に含まれているブロック番号が後述する誤り訂正回路64内の誤り訂正用メモリ(図示せず)のロードレスとして使用される。

【0038】すなわち、ID検出回路48で検出されたID信号はパリティチェック回路50で誤りがあるか否かがチェックされる。一方、検出されたID信号はブロックナンバー検出回路52でシンクブロックナンバーが検出され、スイッチ54の一方の端子に入力されるとともに、ラッチ回路56、およびシンクブロックナンバーに「1」を加算する+1加算器58を通じてスイッチ54の他方の端子に入力される。スイッチ54はゲート回路60から出力されるスイッチ制御信号によって制御される。

【0039】ここで、ゲート回路60は、たとえば図5に示すように構成される。図5に示すゲート回路60は、OR回路60a、60b、NOR回路60c、およびインバータ60dを含む。OR回路60aには、入力端子61からの特殊再生信号(特再時「ハイレベル」)およびパリティチェック回路50からのIDパリティチェック出力(OK時「ハイレベル」)が入力され、スイッチング制御信号が出力される。また、NOR回路60cには、特殊再生信号がインバータ60dを介して与えられるとともに、IDパリティチェック出力が与えられる。そして、OR回路60bには、NOR回路60cの出力とともに、入力端子62からライトイネーブル信号が入力され、OR回路60bからはライトイネーブル信号が出力される。

【0040】したがって、スイッチ54は、通常再生時には、IDのパリティチェックがOKのときは上側に倒れ、NGのときは下側に倒れる。IDのパリティチェックOKのときは検出されたシンクブロックナンバーが誤り訂正回路64内の誤り訂正用メモリのロードレスとして入力され、IDのパリティチェックがNGのときには、1シンクブロック前のシンクブロックナンバーに「1」を加えた値がその誤り訂正用メモリのロードレスとして入力される。

【0041】また、カラムアドレスカウンタ65のカウント値が、誤り訂正回路64内の誤り訂正用メモリのカラムアドレスとなる。ここで、誤り訂正用メモリのイメ

ージ図を図6に示す。図6に示すビデオデータ領域64aにデータが格納される。また、図5からわかるように、入力端子62から入力されたライトイネーブル信号は、ゲート回路60を通った後、誤り訂正回路64内の誤り訂正用メモリの書き制御信号として用いられる。

【0042】また、遅延回路46で遅延がかけられた信号はパルスジェネレータ44から出力される信号によって、シリアル／パラレル変換回路66でシリアル／パラレル変換され、誤り訂正回路64内の誤り訂正用メモリのアドレス上にデータとして書き込まれる。このようにして、ブロック単位で誤り訂正用メモリ上に書き込まれたデータは誤り訂正回路64で誤り訂正がかけられ誤りが訂正された後、フレームメモリ68に入力される。このフレームメモリ68では、誤り訂正回路64から入力されるデータが正しいかどうかを示すフラグが参照され、データが正しいときのみデータが書き込まれる。すなわち、データが誤っている場合はフレームメモリ68上には1フレーム前のデータが残っていることになり、したがってデータが間違っている場合には、1フレーム前のデータで信号を補間することができる。このようにして補間されたデータは、記録時に圧縮されているのでデータ伸長回路70で元のデータに戻され、D/A変換回路72でアナログ信号に変換され、出力端子74から出力される。

【0043】このような磁気記録再生装置10の動作を、図7を参照して説明する。まず、ステップS1においてRFスイッチングパルスが入力されると、ステップS3においてゲートが開かれる。一方、ステップS1が“NO”すなわちRFスイッチングパルスが出力された後の時点では、ステップS5に進む。ステップS5において、ゲート信号作成回路20で所定幅のゲート信号が作成され、ステップS7に進む。ステップS7において、エンベロープ検波回路42でエンベロープ検波出力→基準レベルか否かが判断される。ステップS7が“NO”であれば、ステップS9においてゲート幅が変更される。この実施例では常にゲートを開くようなゲート信号が作成され、ゲート幅が変更される。ステップS7が“YES”的とき、ステップS3およびS9の処理後には、それぞれステップS11に進む。

【0044】ステップS11において、同期信号検出回路18で同期信号の検出が行われる。その後、ステップS13において、同期信号が検出されると、ステップS15に進む。ステップS13において、同期信号を検出していなければ、ステップS17に進む。ステップS17において、同期抜けカウント回路40からゲートオープン信号が出力されていれば、ステップS19においてゲートが開かれステップS11に戻る。

【0045】一方、ステップS17において、ゲートオープン信号が出力されていなければ、ステップS21において保護同期信号作成回路38で保護同期信号が作成

され、ステップS 15に進む。ステップS 15では、ID信号検出回路4 8でID信号が検出され、ステップS 23に進む。ステップS 23において、パリティチェック回路5 0でID信号のパリティチェックが正しければステップS 25においてシンクブロックナンバーが誤り訂正回路6 4内の誤り訂正用メモリにロードされる。一方、ステップS 23において、パリティチェックが誤つていれば、ステップS 27において、1シンクブロック前のシンクブロックナンバーに「1」が加えられ、ステップS 29において、その値が誤り訂正用メモリにロードされる。

【0046】なお、エンベロープ検波回路4 2の代わりに、図8に示すようなPLLのロック状態によってゲート幅を制御する制御回路7 6が用いられてもよい。図8に示す制御回路7 6は、プリアンプ1 2から出力されるデータのエッジが検出されるエッジ検出回路7 8を含む。エッジ検出回路7 8からの出力は单安定マルチバイブレータ8 0を介してAND回路8 2に与えられる。AND回路8 2にはクロックがインバータ8 4を介して与えられ、ANDゲート8 2の出力はローパスフィルタ8 6を介してコンパレータ8 8に与えられる。コンパレータ8 8で所定の基準信号と比較され、その比較結果に応じた出力がゲート信号作成回路2 0に与えられる。

【0047】このように構成される制御回路7 6において、PLLがロックしているときは各回路からの出力は図9 (A)に示すようになり、コンパレータ8 8の出力はローレベルとなる。一方、PLLがロックしていないときは、各回路からの出力は図9 (B)に示すようになり、コンパレータ8 8の出力はハイレベルとなる。次いで、図10を参照して、他の実施例の磁気記録再生装置100を説明する。なお、磁気記録再生装置100において、図1に示す磁気記録再生装置10と同様の構成回路については、同一または類似の参考番号を付すことによって、その重複する説明は省略する。

【0048】この磁気記録再生装置100では、保護がかけられた同期信号に基づいて、遅延回路4 6を通して得られる信号からID信号検出回路4 8 aでID信号が検出され、ロックナンバー検出回路5 2 aでロックナンバーが検出される。なお、ここで遅延回路4 6および1 0 2 aは、ID信号検出回路4 8 aに入力される信号のタイミングを合わせるために設けられている。

【0049】このとき、パリティチェック回路5 0 aによってパリティチェックが行われ、その結果がOKであれば検出されたロック番号は正しいとみなされその値がそのまま誤り訂正回路6 4内の誤り訂正用メモリのロードアドレスになるが、NGである場合は、ラッチ回路5 6 aでラッチされた1シンクブロック前のロック番号に+1加算器5 8 aで「1」を加算した値が誤り訂正用メモリのロードアドレスになるように、スイッチ5 4 aがパリティチェック回路5 0 aからの信号に応じて切り換

えられる。

【0050】一方、同期信号検出回路1 8で検出された同期信号(図11 (A))はゲート回路2 2 bにも与えられる。ゲート信号作成回路2 0 bで作成された幅b(a < b)のゲート信号によって、ゲート回路2 2 bが開かれることによって、ゲート期間内に検出された同期信号は通過する。一方、ゲート期間外にたまたま同期信号パターンと同じビット列があることによって発生した誤り同期信号はマスクされる。

【0051】このゲート回路2 2 bを通過した同期信号に基づいて、遅延回路4 6を通して得られる信号からID信号検出回路4 8 bでID信号が検出され、ロックナンバー検出回路5 2 bでロックナンバーが検出される。そして、パリティチェック回路5 0 bによってパリティチェックが行われ、ID信号に誤りがないかどうかがチェックされる。

【0052】また、ロックナンバー検出回路5 2 bでID信号から検出されたロックナンバーは比較回路1 0 4に与えられる。また、スイッチ5 4 bを介して出力される1シンクブロック前のロックナンバーはラッチ回路5 6 bでラッチされ+1加算器5 8 bでさらに「1」を加算した値が比較器1 0 4に与えられる。比較器1 0 4では、これらの2入力が比較され、ロックナンバーが正しいかどうかが判断される。

【0053】このようにして、ゲート回路2 2 bを通過した同期信号に関する処理では、ID信号のパリティチェックが行われるとともにロックナンバーのチェックも行われ、この両方がOKのとき、スイッチ5 4 bおよび1 0 6はともにその下側の端子、すなわちスイッチ5 4 bはロックナンバー検出回路5 2 bからの出力を選択し、スイッチ1 0 6はゲート回路2 2 bから出力される同期信号を選択する。そして、それ以外の場合、すなわちパリティチェック回路5 0 bにおけるIDパリティチェックの結果と、ロックナンバー検出回路5 2 bでの検出結果のうち少なくともいずれか一方がNGのときは、スイッチ5 4 bおよび1 0 6はそれぞれ上側の端子、すなわち、スイッチ5 4 bはスイッチ5 4 aの出力を選択し、スイッチ1 0 6は遅延回路1 0 8 aの出力を選択する。

【0054】なお、遅延回路1 0 2 b, 1 0 8 aおよび1 0 8 bは、回路系を信号を通過するに伴う時間遅れを調整するためのものである。そして、スイッチ5 4 bの出力、すなわち、ロックナンバーは誤り訂正回路6 4内の誤り訂正用メモリのロードアドレスとして使用され、スイッチ1 0 6の出力はパルスジェネレータ1 1 0に入力され、パルスジェネレータ1 1 0からの出力は、シリアル/パラレル変換器6 6およびカラムアドレスカウンタ6 5の基準信号として使用される。

【0055】このようにして、遅延回路4 6から出力された信号はシリアル/パラレル変換回路6 6でシリアル

/パラレル変換された後、誤り訂正回路64内の誤り訂正用メモリに格納されるが、このとき、カラムアドレスカウンタ65の出力は誤り訂正回路64内の誤り訂正用メモリのカラムアドレスを決定し、スイッチ54bから出力されるブロックナンバーは誤り訂正回路64内の誤り訂正用メモリのロードアドレスを決定する。

【0056】このような磁気記録再生装置100の同期信号検出動作は、図11を参照すれば一層明らかになる。すなわち、図11(A)は同期信号検出回路18の出力波形を示しており、図中○は正しい同期信号を示し、×は誤り同期信号を示す。すなわち、この図では6番目の同期信号(Sync 6)が誤り同期信号であると仮定している。

【0057】図11(B)は幅aのゲート信号、すなわちゲート信号作成回路20aの出力を示しており、このゲート信号は、図11(E)に示す同期信号保護回路36の出力信号すなわち保護がかけられた同期信号を基準に、ゲート信号作成回路20a内でカウンタ等を用いて作成される。同期信号(Sync 5)の付近に幅aのゲート信号がないのは、ゲート信号が作成される直前に、同期抜けカウント回路40から出力されるゲートオープン信号(図11(D))によってゲートが開かれ、これによって検出された同期信号によってゲート信号作成回路20a内のカウンタがリセットされるためである。なお、この実施例では幅aのゲート信号内に同期信号がない状態が2回続くとゲート回路22aが強制的に開かれ、その状態で次の同期信号が検出されると再びゲートが閉じる場合を示している。

【0058】ここで、たとえばゲート回路22aだけの場合には、図11に示す同期信号(Sync 2)および同期信号(Sync 3)が正しい同期信号であるにも拘わらず、ゲート信号によってマスクされ誤り同期信号として検出されてしまい、その代わりに図11(E)に示すような×を付けた同期信号(保護同期信号から得られる)が誤って検出されることになる。

【0059】図11(C)はゲート幅bのゲート信号、すなわちゲート回路22bの出力信号を示しており、このゲート信号によってゲートがかけられた同期信号は図11(F)に示すようになる。この図11(F)において、○を付けた同期信号は正しい同期信号であり、パリティチェック回路50bの結果はOKとなり、かつ比較回路104の比較結果も一致していることを示すので、図10に示すスイッチ106は下側に切り換わり、図11(F)すなわち図11(J)の同期信号が選択される。

【0060】一方、図11(F)で×を付けた同期信号は誤り同期信号であるので、図11(G)に示すようにパリティチェック回路50bの結果はNG(ローレベル)となり、また、図11(H)に示すように比較回路104の比較結果は不一致(ローレベル)となる。この

ときはスイッチ106は上側に切り換わり、図11(E)すなわち図9(I)の同期信号が出力される。このようにしてスイッチ106から出力される同期信号は、図11(K)に示すようになり、誤りのない正しい同期信号が検出される。

【0061】このような磁気記録再生装置の動作を図12および図13を参照して説明する。図12に示すように、ステップ番号に「a」を付したものはゲート信号aに関する処理を示し、図13に示すように、ステップ番号に「b」を付したものはゲート信号bに関する処理を示す。これらの処理は平行して行われるが、説明の便宜上まずゲート信号aに関する処理を先に説明する。

【0062】まず、ステップS41aにおいて、RSスイッチングパルスが入力されると、ステップS43aにおいて、ゲート信号作成回路20aによってゲート回路22aのゲートが開かれる。一方、ステップS41aが“NO”すなわちRFスイッチングパルスが入力された以降の時点では、ステップS45aにおいてゲート信号作成回路20aによってゲートaが作成される。ステップS43aおよびS45aの処理後、ステップS47aに進む。

【0063】ステップS47aにおいて、同期信号検出回路18によって同期信号の検出が行われ、ステップS49aに進む。ステップS49aにおいて、同期信号が検出されなければ、ステップS51aに進む。ステップS51aにおいて、同期抜けカウント回路40からゲートオープン信号が出力されていれば、ステップS53aにおいてゲート回路22aのゲートが開かれ、ステップS47aに戻る。ステップS51aにおいて、ゲートオープン信号が出力されていなければ、ステップS55aにおいて、保護同期信号作成回路26aで保護同期信号が作成される。ステップS49aで同期信号を検出したときおよびS55aの処理後、ステップS57aに進み、ID信号検出回路48aでID信号が検出され、ステップS59aに進む。ステップS59aにおいて、ゲート信号bによるIDパリティチェックがOKであれば、ステップS61aに進む。ステップS61aにおいてゲート信号bによるシンクブロック前のシンクブロックナンバーに「1」を加えた値とブロックナンバー検出回路52bからのブロックナンバーとが一致すれば、スイッチ54bおよび106が下側の端子に接続され、後述するステップS55bに進む。

【0064】ステップS59aが“NO”的ときやステップS61aが“NO”的ときはステップS63aに進む。ステップS63aにおいて、パリティチェック回路50aでID信号のパリティチェックがOKであれば、ステップS65aにおいて、シンクブロックナンバーが誤り訂正回路64内の誤り訂正用メモリにロードされる。一方、ステップS63aが“NO”であれば、ステップS67aにおいて、1同期信号前のブロックナンバ

一に「1」が加算され、ステップS 6 9 aにおいて、その値が誤り訂正用メモリに格納される。

【0065】一方、図13に示すステップS 4 1 bにおいて、RFスイッチングパルスが与えられるとステップS 4 3 bにおいてゲート回路2 2 bのゲートが開かれ。ステップS 4 1 bが“NO”であれば、ステップS 4 5 bにおいてゲート信号作成回路2 0 bでゲート信号bが作成され、ゲート回路2 2 bに与えられる。ステップS 4 3 bおよびS 4 5 bの処理後、ステップS 4 7 bに進む。

【0066】ステップS 4 7 bにおいて、ゲート信号aによるゲートオープン信号が出力されると、ステップS 4 9 bに進む。ステップS 4 9 bにおいて、ゲート回路2 2 bのゲートが開かれ、ステップS 5 1 bに進む。ステップS 4 7 bが“NO”的ときもステップS 5 1 bに進む。ステップS 5 1 bにおいて、同期信号検出回路1 8で同期信号の検出が行われ、ステップS 5 3 bにおいて、ID検出回路4 8 bでID信号が検出され、ステップS 5 5 bに進む。

【0067】ステップS 5 5 bにおいて、パリティチェック回路5 0 bでのIDパリティチェックがOKであれば、ステップS 5 7 bにおいて、ブロックナンバー検出回路5 2 bでシンクブロックナンバーが検出され、ステップS 5 9 bに進む。ステップS 5 9 bにおいて、1シンクブロック前のブロックナンバーに「1」を加えた値とブロックナンバー検出回路5 2 bからのブロックナンバーとが一致すれば、ステップS 6 1 bにおいて、そのシンクブロックナンバーが誤り訂正回路6 4内の誤り訂正用メモリに格納される。

【0068】ステップS 5 5 bが“NO”的ときやステップS 5 9 bが“NO”的ときはステップS 5 9 aに進む。なお、ステップS 6 1 aが“YES”でありステップS 5 5 bに進むときは、当然ステップS 5 5 bおよびS 5 9 bは“YES”となる。また、ステップS 5 5 bやS 5 9 bが“NO”であるためにステップS 5 9 aに進むときは、当然ステップS 5 9 aは“NO”になる。

【0069】さらに、図14を参照して、他の実施例の磁気記録再生装置1 2 0を説明する。なお、磁気記録再生装置1 2 0は、図1に示す磁気記録再生装置1 0のようにエンベロープ検波回路4 2の検波結果に応じてゲート信号作成回路2 0で作成されるゲート信号のゲート幅を変更するものではないが、基本的には同様に構成され、また、通常再生時はスイッチ5 4はパリティチェック回路5 0の出力によって制御され、マスク1 2 2のマスク動作は解除されているので、回路動作も図1に示す磁気記録再生装置1 0と同様になる。したがって、同一の番号を付すことによって重複する説明は省略する。

【0070】したがって、以下では、特殊再生時に関する動作のうち、主要な注目すべき点について説明する。スイッチ5 4から出力されるシンクブロックナンバー

は、比較器1 2 4およびラッチ回路1 2 6に入力される。ラッチ回路1 2 6の出力は、RFスイッチングパルスの前縁でリセットされ、当初は値が「0」になっている。そして、ID信号のパリティチェック回路5 0の出力をみて、パリティチェックがOKのときのみスイッチ5 4の出力であるシンクブロックナンバーがラッチ回路1 2 6によってラッチされる。

【0071】すなわち、ラッチ回路1 2 6の出力は、IDのパリティチェックがOKのときのみ更新され、現在のシンクブロックナンバーより小さいシンクブロックナンバーのうち、IDのパリティチェックがOKのものが常に出力される。比較器1 2 4では、この値と現在のシンクブロックナンバーとが比較され、現在のシンクブロックナンバーがラッチ回路1 2 6からのシンクブロックナンバー以下のときは比較器1 2 4からローレベルのライトイネーブルマスク信号が出力され、マスク回路1 2 2でライトイネーブル信号がマスクされ、誤り訂正回路6 4内の誤り訂正用メモリへの書き込みが中止される。一方、現在のシンクブロックナンバーの方が大きいときは比較器1 2 4からハイレベルのライトイネーブルマスク信号が出力され、シンクブロックナンバーおよびカラモアドレスカウンタ6 5で作成されたアドレス上にデータが書き込まれる。

【0072】ここで、マスク回路1 2 2は、たとえば図15に示すように構成される。図2に示すマスク回路1 2 2は、OR回路1 2 8、NORゲート1 3 0およびインバータ1 3 2を含む。NOR回路1 3 0には入力端子6 1からの信号がインバータ1 3 2を介して与えられるとともに、比較回路1 2 4からのライトイネーブルマスク信号が与えられる。NOR回路1 3 0の出力および入力端子6 2からのライトイネーブル信号はOR回路1 2 8に与えられ、OR回路1 2 8の出力がマスク回路1 2 2の出力として誤り訂正回路6 4に与えられる。

【0073】マスク回路1 2 2において、特殊再生信号およびローレベルのライトイネーブルマスク信号が出力されれば、ライトイネーブル信号は誤り訂正回路6 4に出力されない。一方、ハイレベルのライトイネーブルマスク信号が出力されているときにはライトイネーブル信号が誤り訂正回路6 4に与えられる。図16を参照して説明すると、同期信号保護回路3 6からは図16

(A)に示すような保護同期信号が出力され、それに応じてパルスジェネレータ4 4からは図16(B)に示すようなID検出パルスが出力される。そして、パリティチェック回路5 0からは図16(C)に示すような信号が出力される。図16(A)に示す保護同期信号(Sync 2)が誤っているので、それに応じてパリティチェック回路5 0からの出力はローレベルになる。

【0074】このとき、スイッチ5 4を介して出力されるシンクブロックナンバーが図16(D)に示すよう50に、「3 0 → 2 5 → 3 2 → 3 3 → 3 4」となる場合を想

定すると、「25」は誤ったシンクブロックナンバーである。それに応じて、ラッチ回路126からのシンクブロックナンバーは「29→30→30→32→33」となる。図16(D)と(E)とを比較してわかるように、誤ったシンクブロックナンバー「25」をラッチ回路126は保持せず、その前に取り込んだ「30」をそのまま保持しておく。そして、比較器124で、入力される2つの信号を比較して、図16(D)に示す現在のシンクブロックナンバーが図16(E)に示すラッチ回路126からのシンクブロックナンバー以下の場合に、図16(F)に示すように比較器124はローレベルのライトイネーブルマスク信号をマスク回路122に出力する。すると、マスク回路122のOR回路128からはライトイネーブル信号が出力されず、誤り訂正回路64内の誤り訂正用メモリへのデータの書き込みが中止される。

【0075】このような磁気記録再生装置120の主要な動作を、図17を参照して説明する。まず、図17に示すステップS71において、RFスイッチングパルスが与えられるとステップS73に進む。ステップS73において、ゲート回路22のゲートが開かれる。一方、ステップS71が“NO”であれば、ステップS75において所定幅のゲート信号が作成され、ゲートが設定される。ステップS73およびS75の処理後は、それぞれステップS77に進む。ステップS77において、同期信号検出回路18で同期信号の検出が行われ、ステップS79において同期信号が検出されなければステップS81に進む。ステップS81において、同期抜けカウント回路40からゲートオープン信号が出力されていれば、ステップS83においてゲート回路22のゲートを開き、ステップS77に戻る。一方、ステップS81において、ゲートオープン信号が输出されていなければ、ステップS85において、保護同期信号作成回路38で保護同期信号が作成され、ステップS87に進む。ステップS79が“NO”的ときもステップS87に進む。

【0076】ステップS87において、ID検出回路48でID信号が検出され、ステップS89aにおいてパリティチェック回路50でIDパリティチェックがOKであれば、ステップS91aにおいてラッチ回路126でシンクブロックナンバーがラッチされ、ステップS93に進む。ステップS89aにおいてID信号のパリティチェックがNGであればシンクブロックナンバーを更新することなく直接ステップS93に進む。また、ステップS87の処理後ステップS89bにおいて、ブロックナンバー検出回路52で現在のシンクブロックナンバーが検出され、ステップS93に進む。

【0077】ステップS93において、比較器124で現在のシンクブロックナンバーとラッチ回路126からのシンクブロックナンバーとが比較される。現在のシンクブロックナンバーの方が大きければステップS95に

おいて現在のシンクブロックナンバーが誤り訂正回路64内の誤り訂正用メモリに書き込まれる。ステップS93において、現在のシンクブロックナンバーがラッチ回路126からのシンクブロックナンバー以下であれば、ステップS97において、誤り訂正回路64内の誤り訂正用メモリへのデータの書き込みが中止される。

【0078】なお、上述の実施例では、磁気テープ上にディジタルデータを記録する磁気記録再生装置について説明したが、この発明は、光学記録方式の記録再生装置10にも適用できることはいうまでもない。

【図面の簡単な説明】

【図1】この発明の一実施例である磁気記録再生装置の再生系の要部を示すブロック図である。

【図2】ゲート信号作成回路の一例を示すブロック図である。

【図3】ゲート信号作成回路の動作を説明するためのタイミング図である。

【図4】図1実施例の主要な動作を説明するためのタイミング図である。

【図5】ゲート回路の一例を示す回路図である。

【図6】誤り訂正用メモリのメモリイメージを示す図解図である。

【図7】図1実施例の主要な動作を示すフローチャートである。

【図8】PLLのロック状態に基づいてゲートの幅を制御する制御回路の一例を示すブロック図である。

【図9】(A)はPLLがロックしているときの制御回路の動作を示すタイミング図であり、(B)はPLLがロックしていないときの制御回路の動作を示すタイミング図である。

【図10】この発明の他の実施例である磁気記録再生装置の再生系の要部を示すブロック図である。

【図11】図10実施例の主要な動作を説明するためのタイミング図である。

【図12】図10実施例の主要な動作を示すフロー図である。

【図13】図12の動作の続きを示すフロー図である。

【図14】この発明のその他の実施例である磁気記録再生装置の再生系の要部を示すブロック図である。

【図15】マスク回路の一例を示す回路図である。

【図16】図14実施例の主要な動作を説明するためのタイミング図である。

【図17】図14実施例の主要な動作を示すフロー図である。

【図18】ディジタルVTRの記録フォーマットを説明するための図解図である。

【図19】ディジタルVTRの信号の記録状態を説明するための図解図である。

【図20】ディジタルVTRにおける信号の1シンクブロックの詳細な構成を示すブロック図である。

21

【図21】同期信号の保護動作を説明するための図解図である。

【図22】従来技術を示すブロック図である。

【符号の説明】

- 10, 100, 120 … 磁気記録再生装置
- 15 … PLL回路
- 18 … 同期信号検出回路
- 20, 20a, 20b … ゲート信号作成回路
- 22, 22a, 22b, 60 … ゲート回路
- 36 … 同期信号保護回路
- 38 … 保護同期信号作成回路
- 40 … 同期抜けカウント回路

22

* 42 … エンベロープ検出回路

48, 48a, 48b … ID検出回路

50, 50a, 50b … パリティチェック回路

52, 52a, 52b … ブロックナンバー検出回路

54, 54a, 54b, 106 … スイッチ

56, 56a, 56b, 126 … ラッチ回路

58, 58a, 58b … +1加算器

64 … 誤り訂正回路

76 … 制御回路

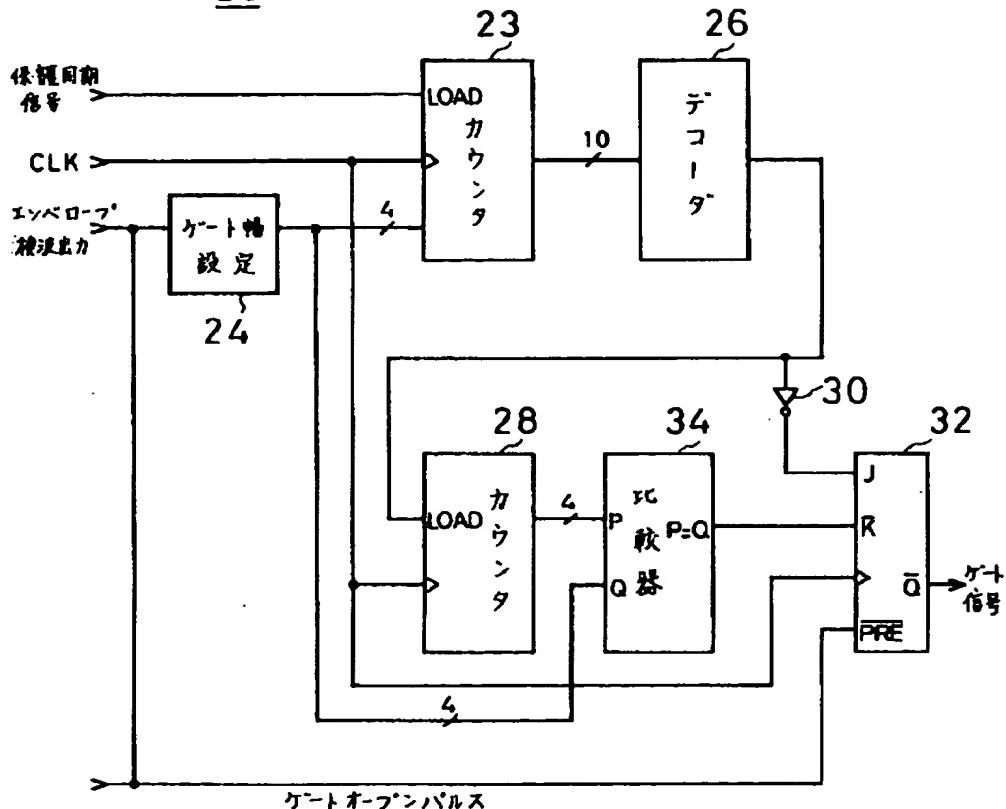
10 104, 124 … 比較器

122 … マスク回路

*

【図2】

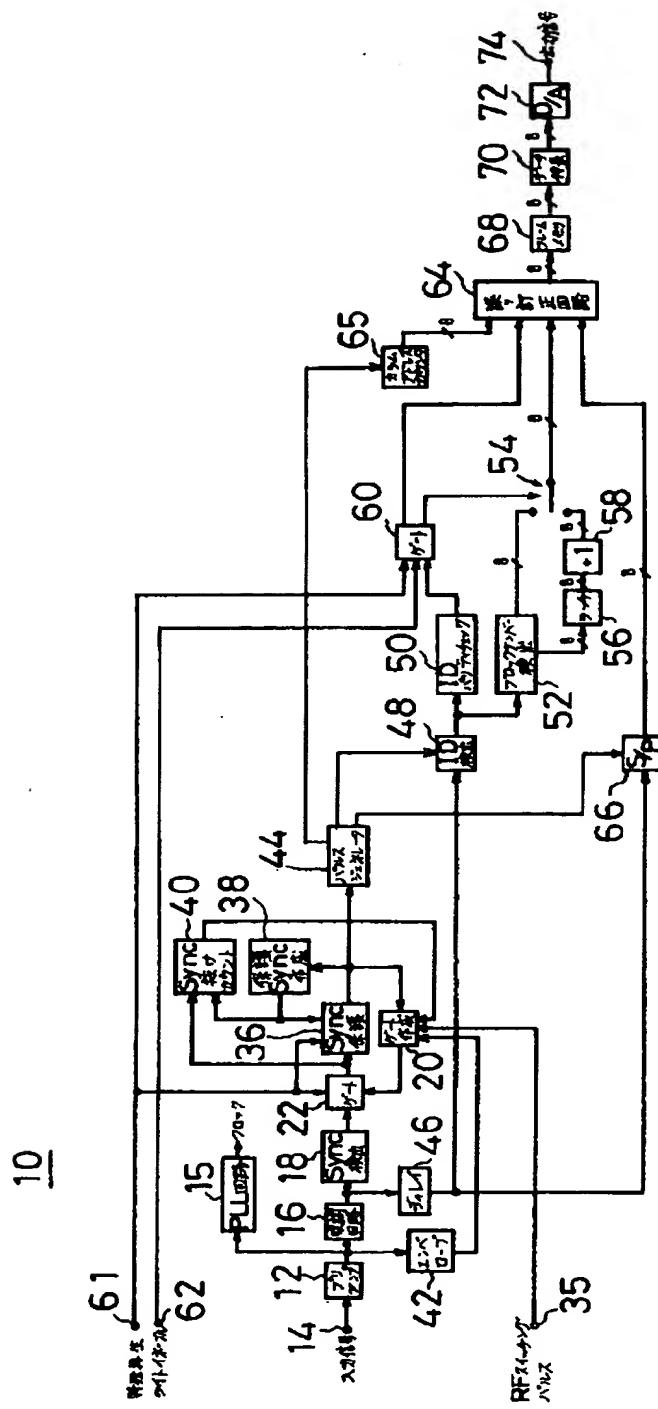
20



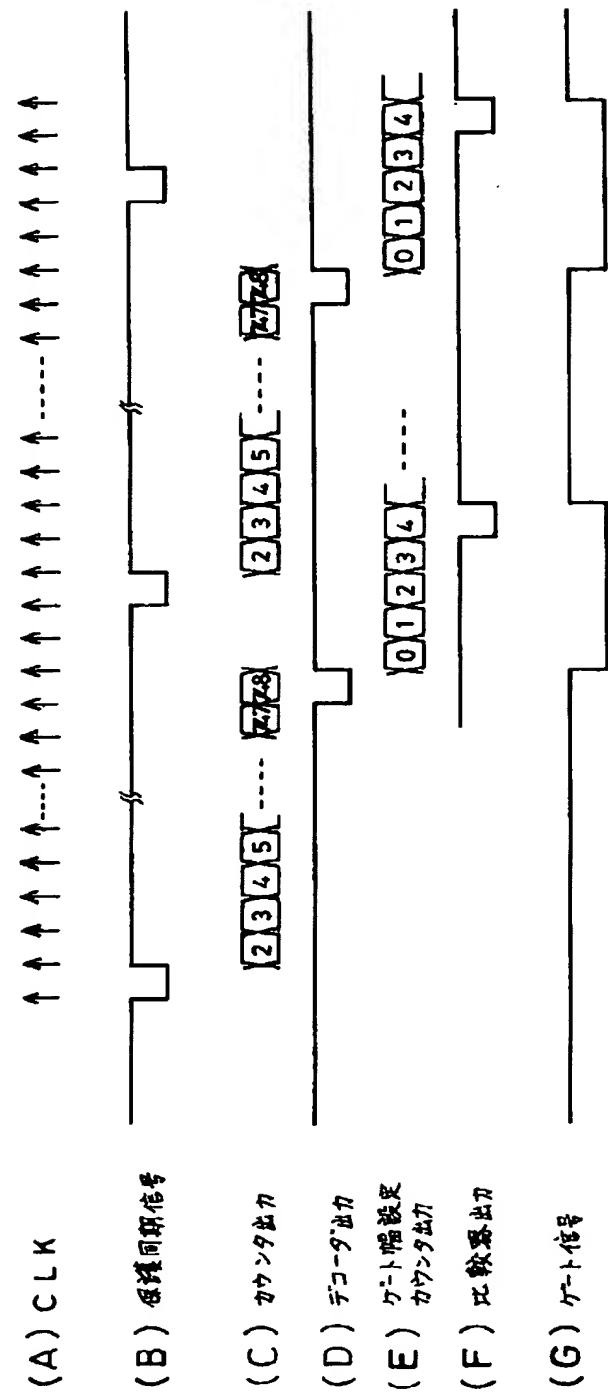
【図20】

| | | | | |
|------|----|-----|------|-------------|
| SYNC | ID | IDP | DATA | DATA PARITY |
|------|----|-----|------|-------------|

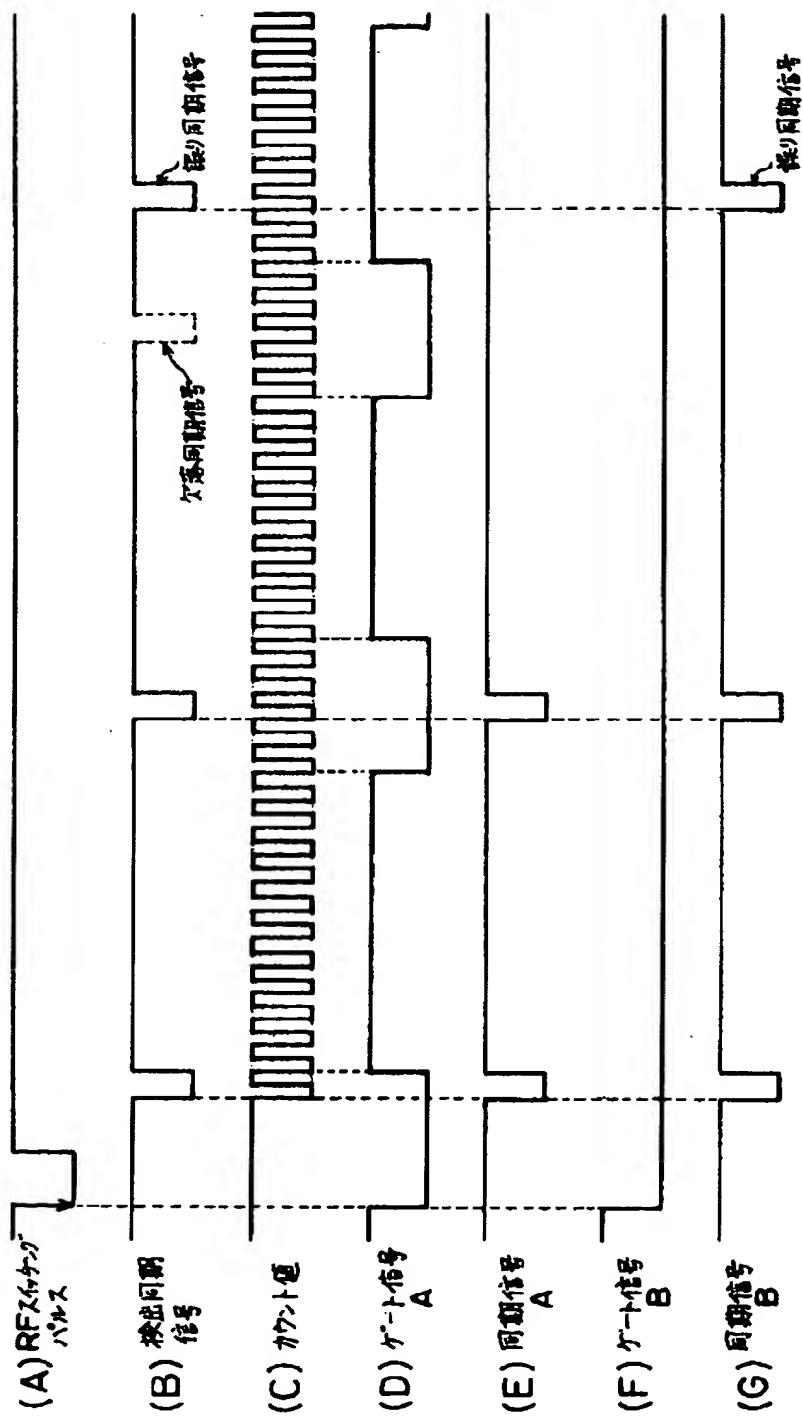
【図1】



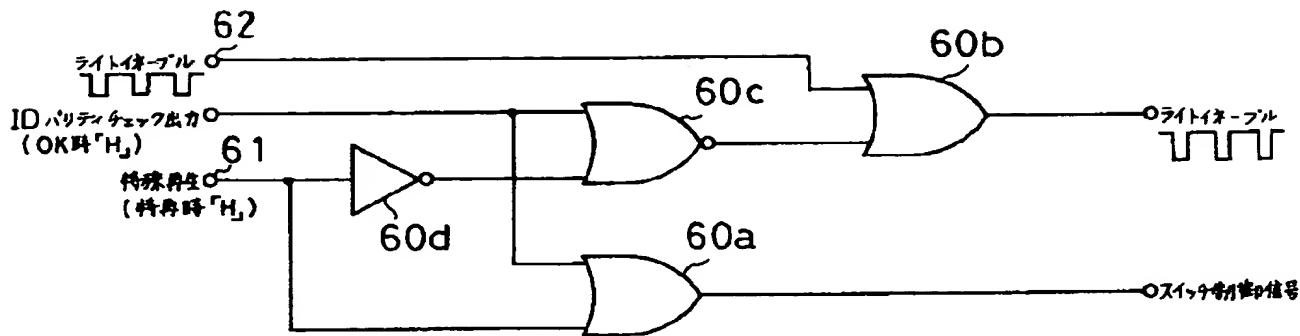
[図3]



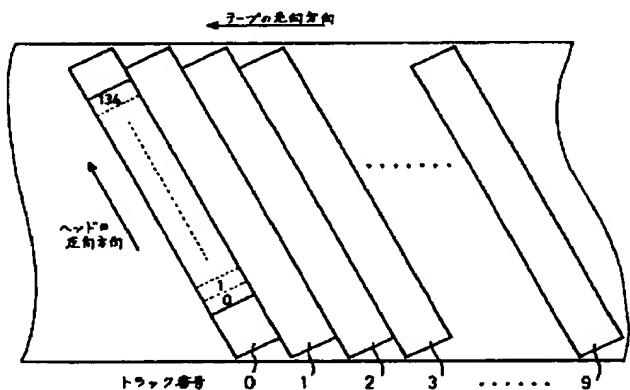
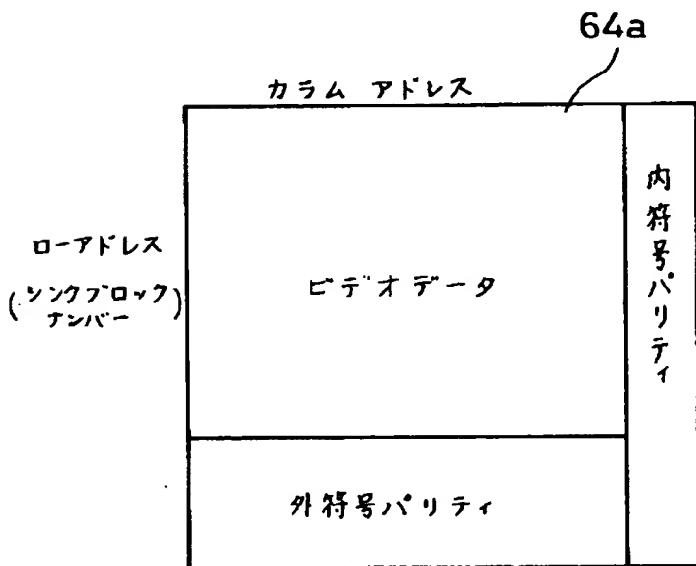
【図4】



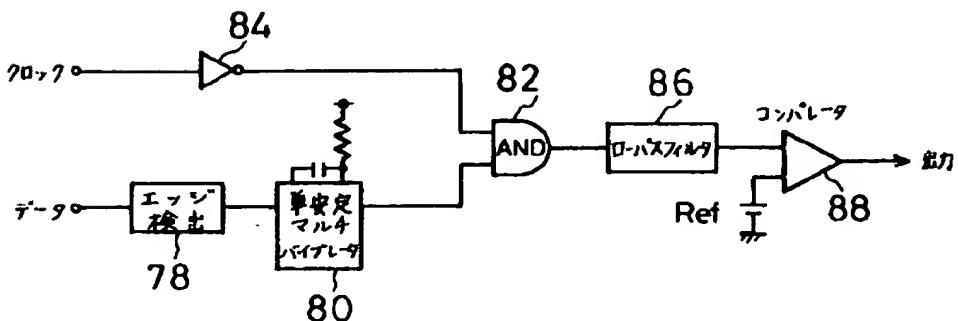
【図5】

60

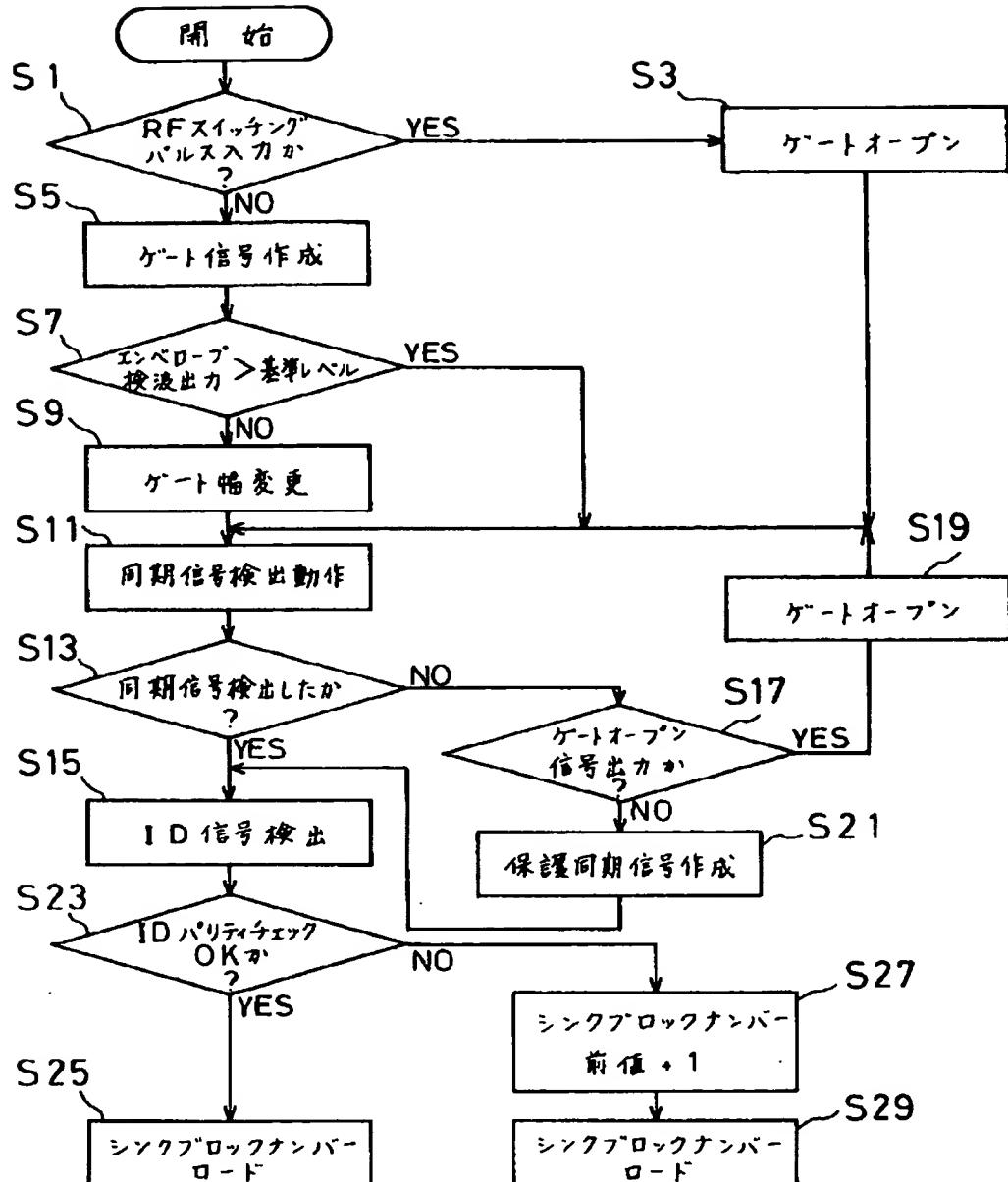
【図6】



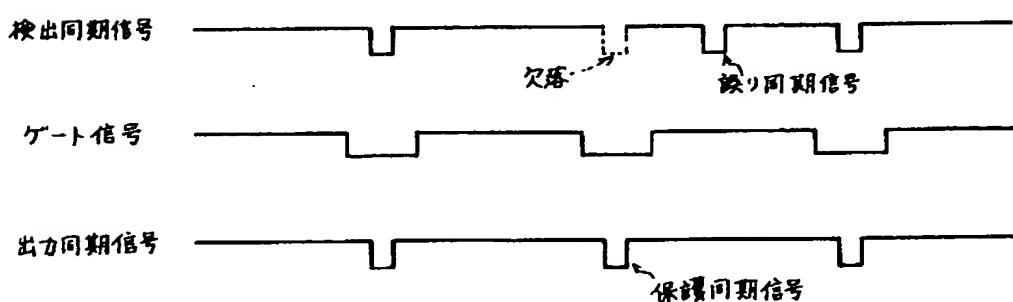
【図8】

76

【図7】

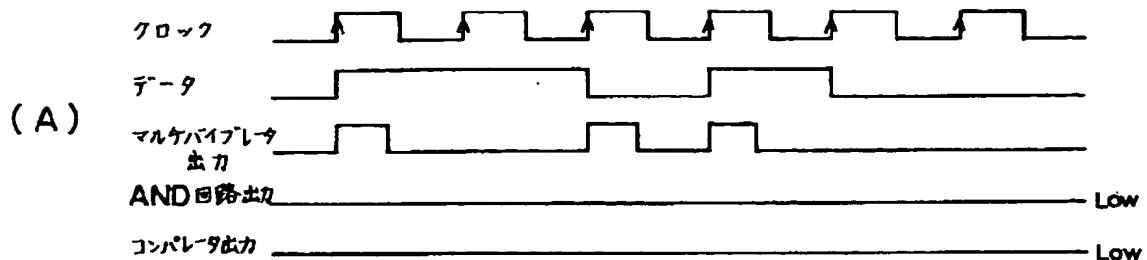


【図21】

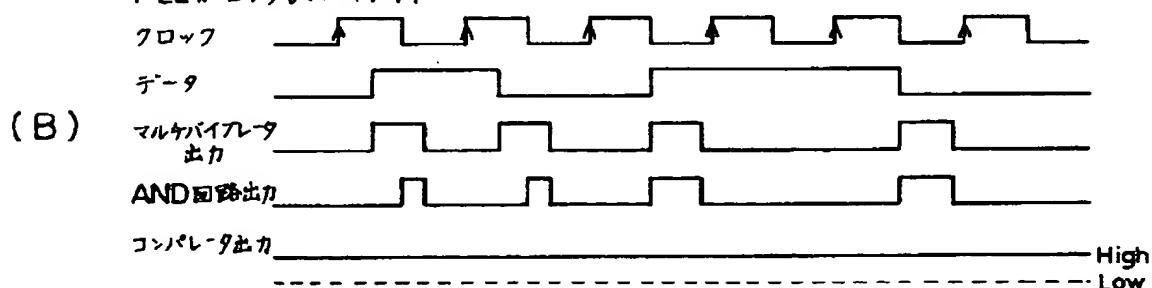


【図9】

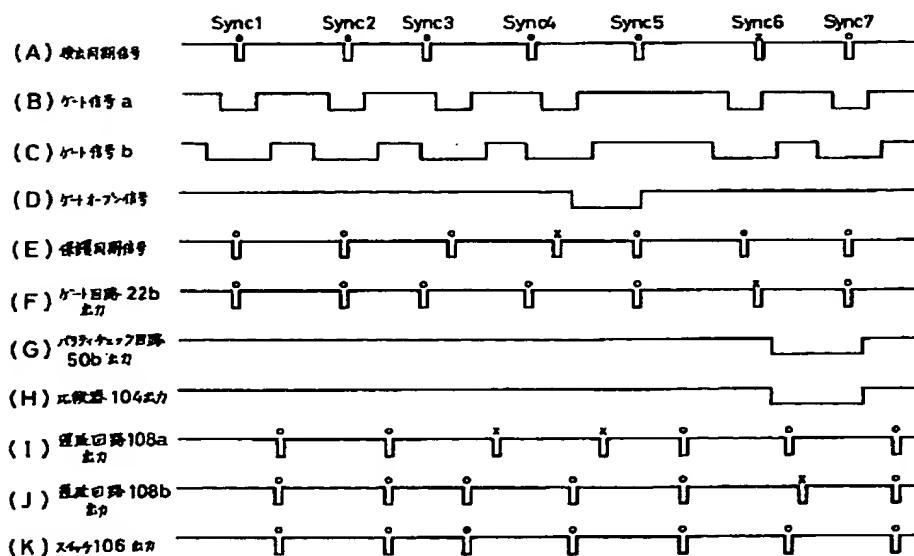
- PLL がロックしている時



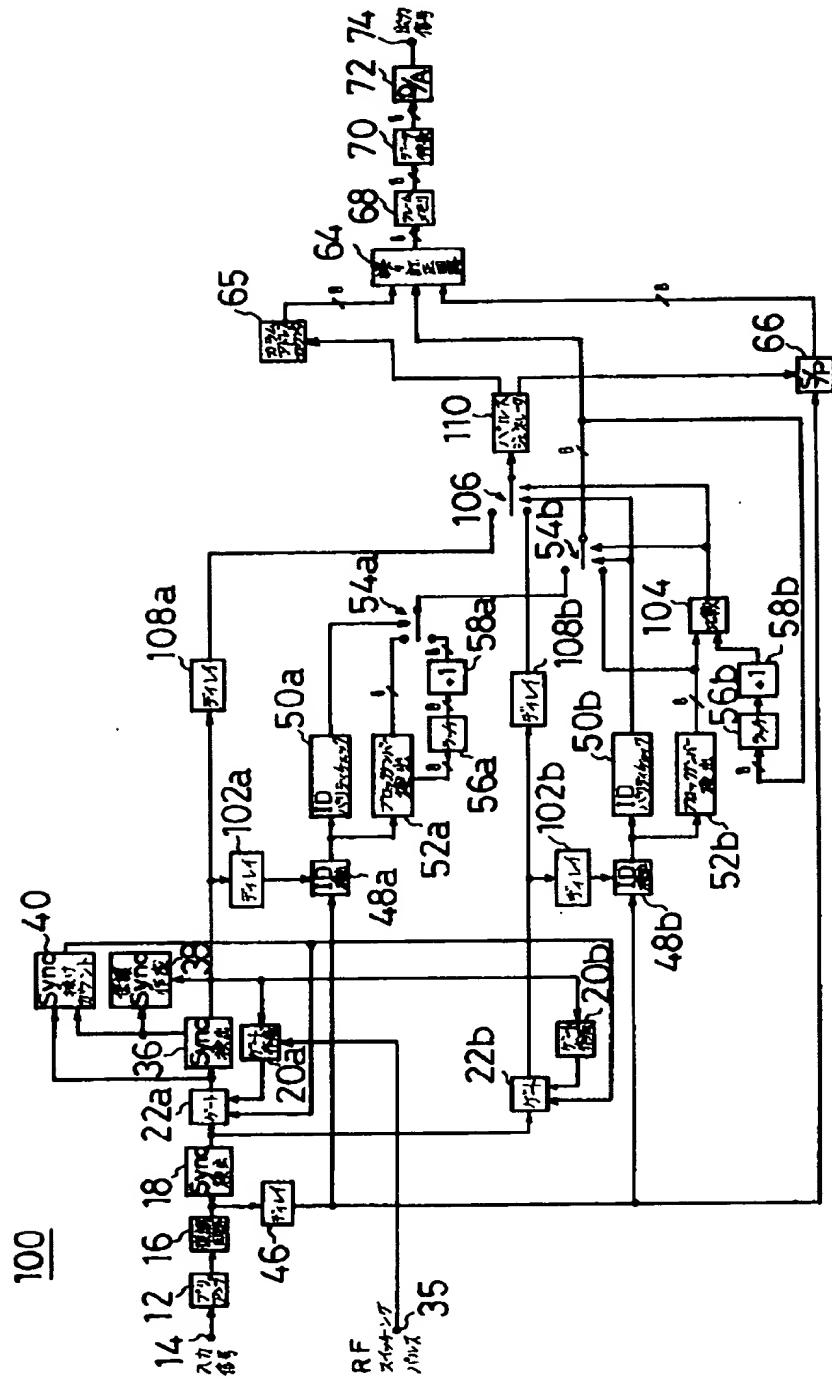
- PLL がロックしていない時



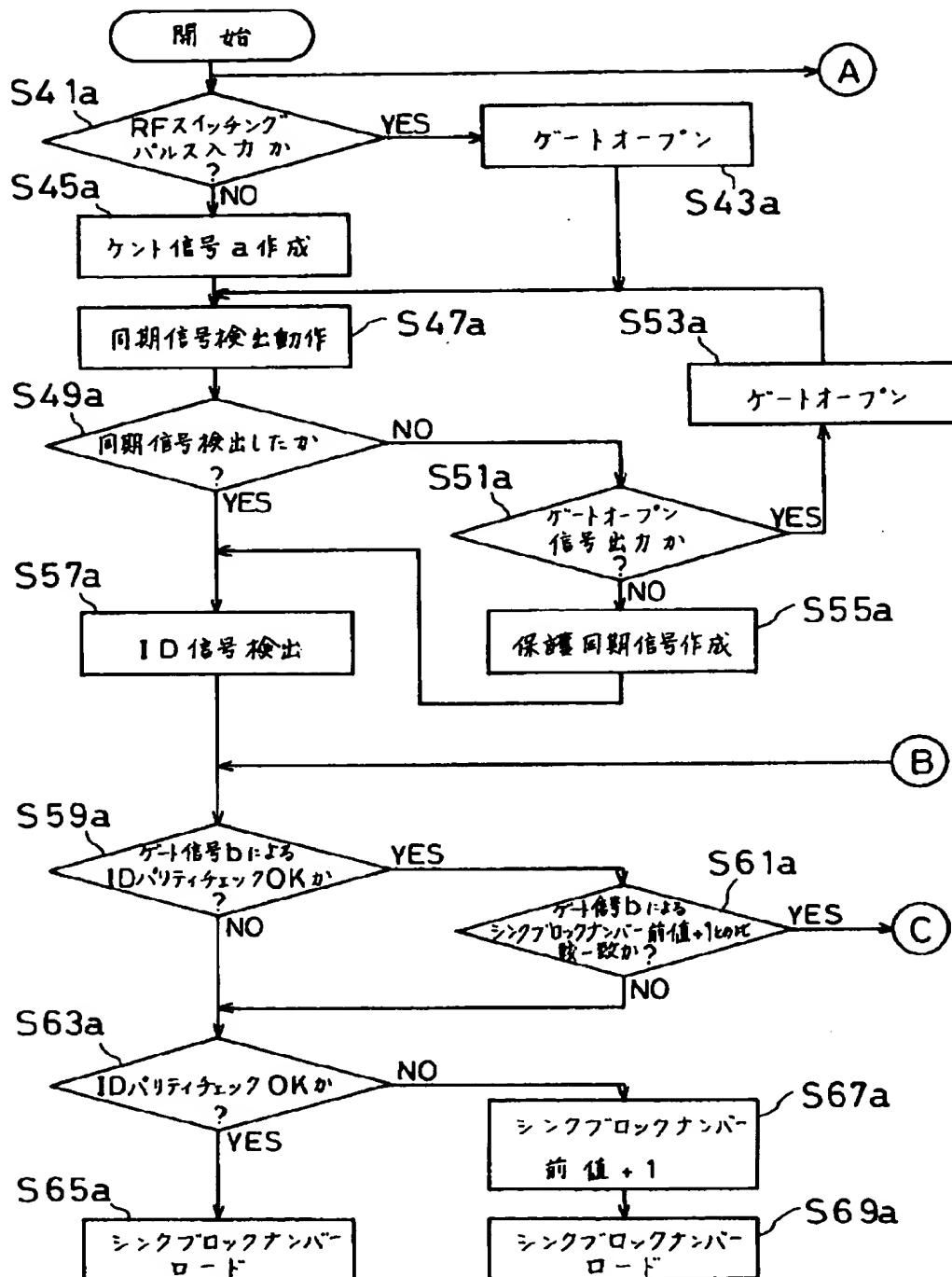
【図11】



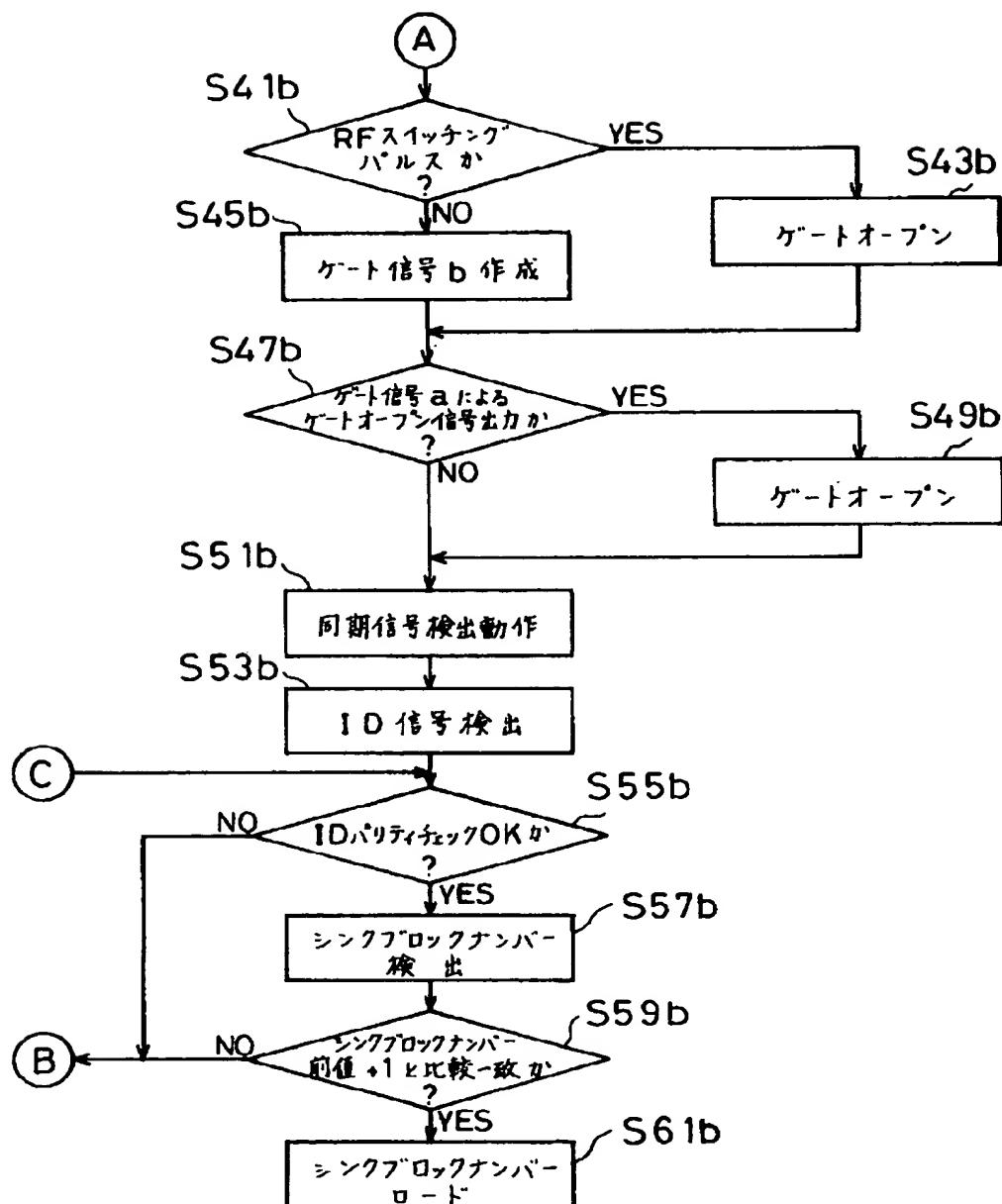
【図10】



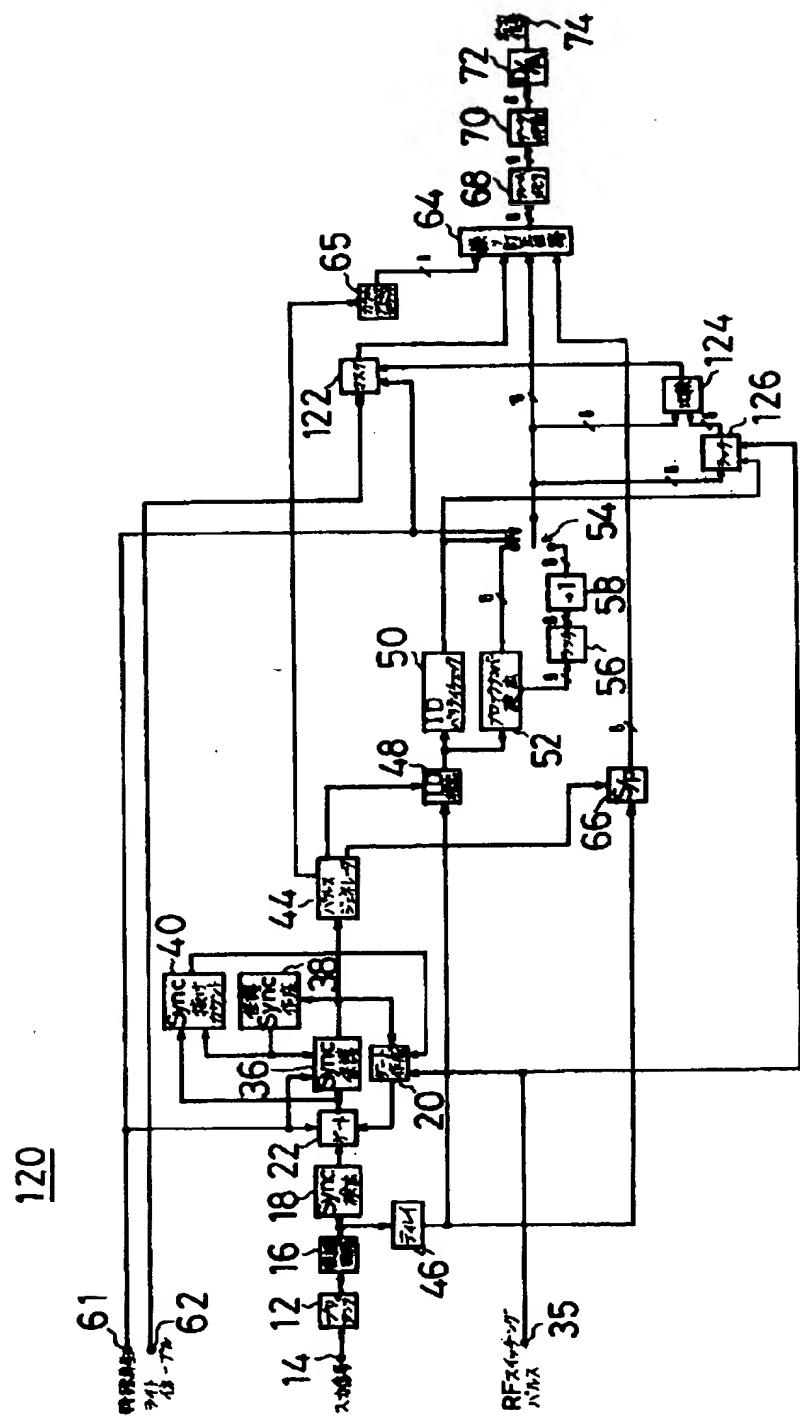
【図12】



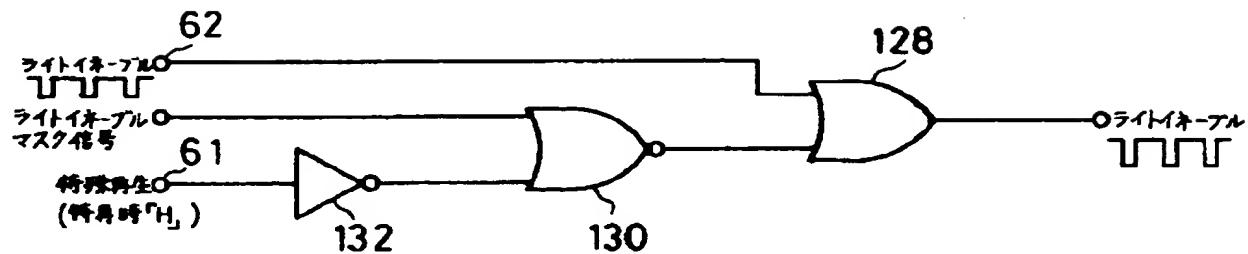
【図13】



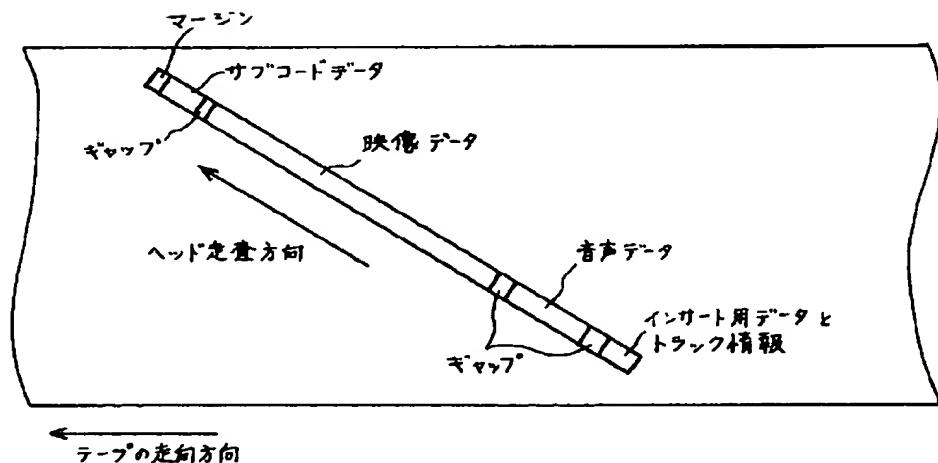
【図14】



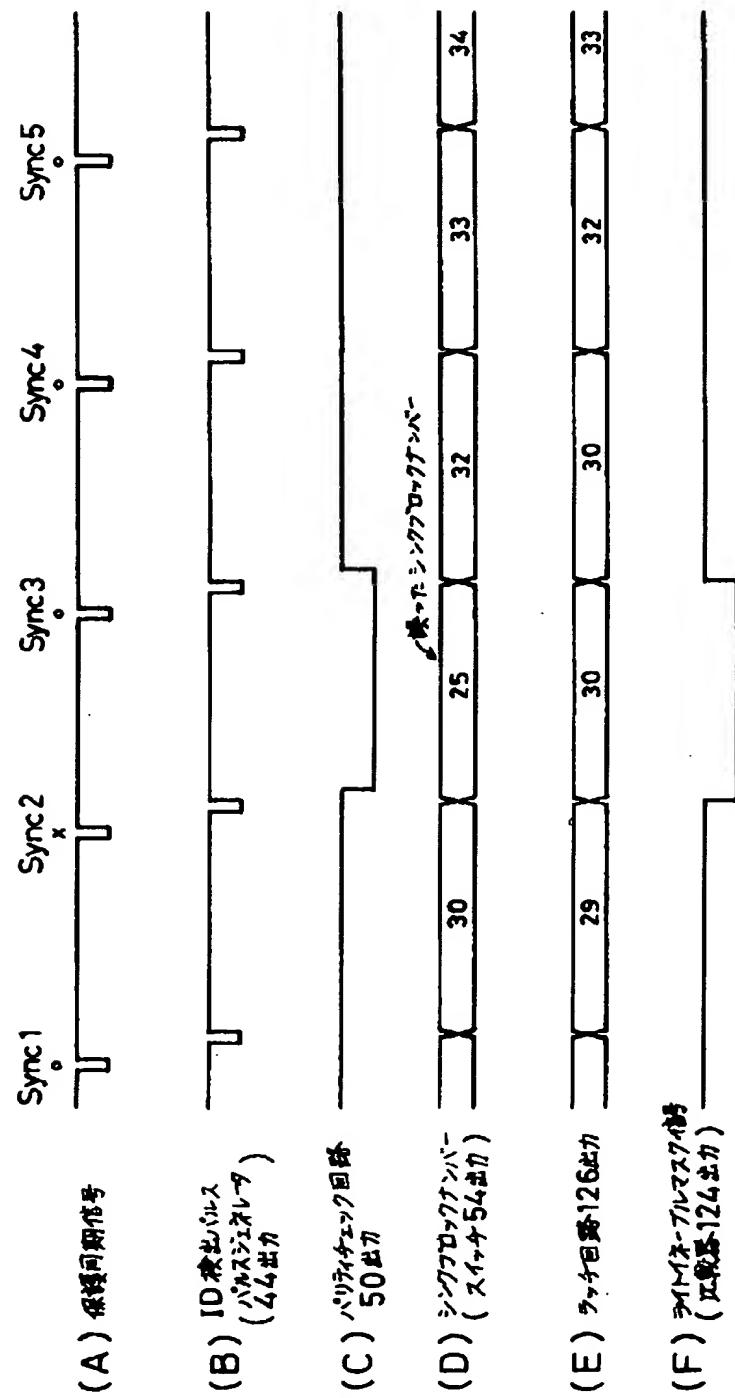
【図15】

122

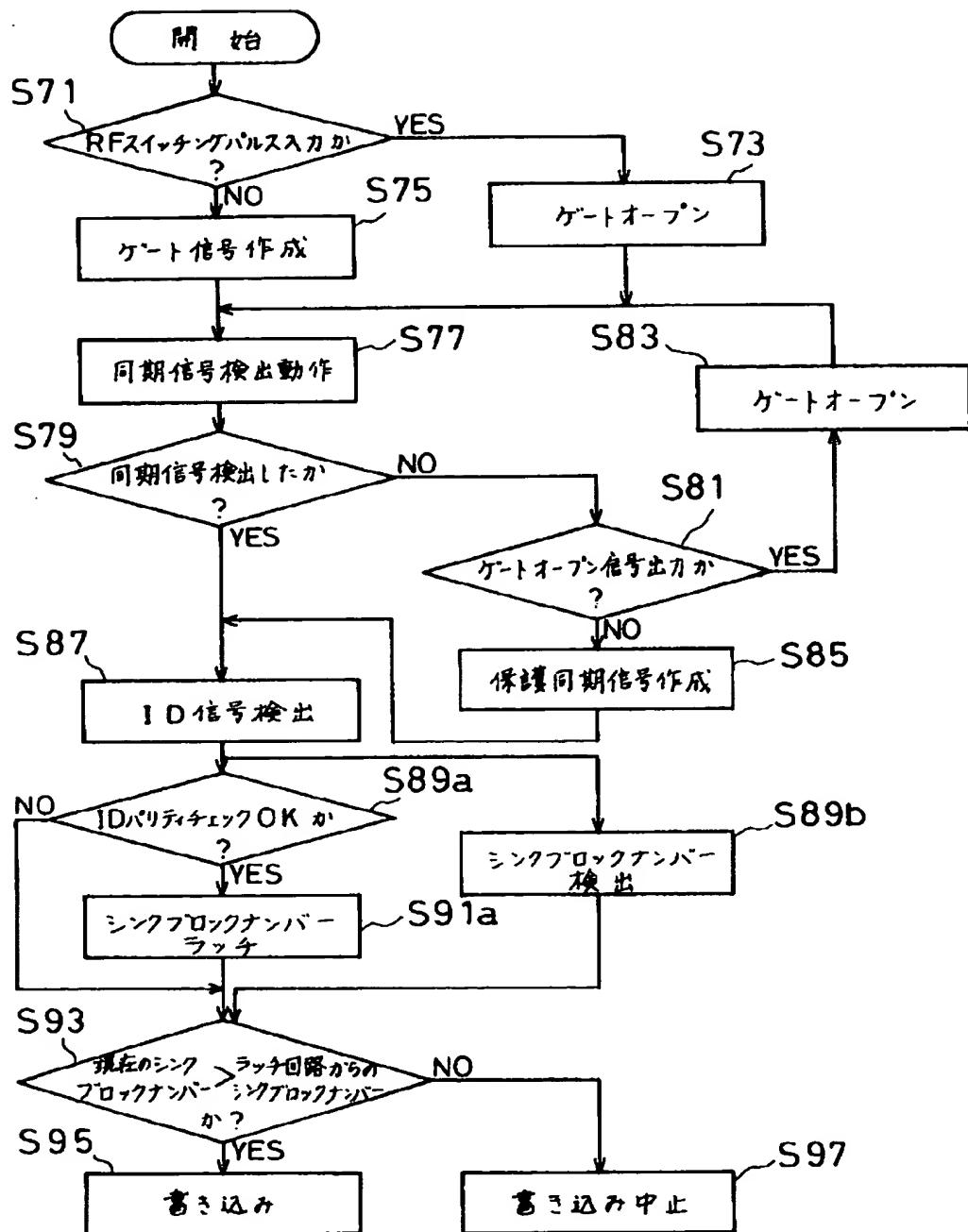
【図18】



【図16】



【図17】



【図22】

